

Flash memory card including CIS information

Patent number: JP2001503166T

Publication date: 2001-03-06

Inventor:

Applicant:

Classification:

- international: G06K19/07; B42D15/10

- european: G06F11/00K; G06K19/07; G11C16/20; G11C16/22;
G11C29/00R4; G11C29/00R6S

Application number: JP19980506784T 19970716

Priority number(s): WO1997JP02464 19970716; JP19960207656 19960719

Also published as:



WO9803915 (A3)

WO9803915 (A2)

EP0912939 (A3)

EP0912939 (A2)

US6226202 (B1)

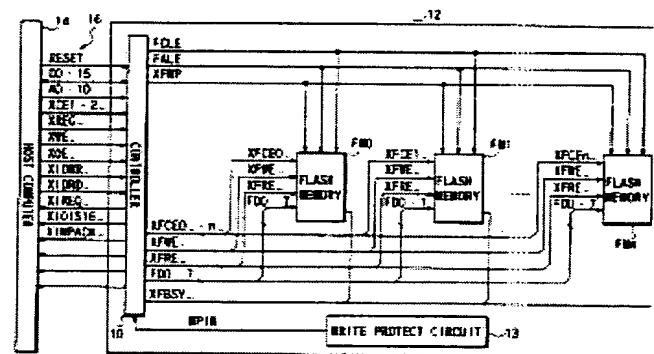
more >>

Report a data error here

Abstract not available for JP2001503166T

Abstract of corresponding document: **US6226202**

A flash memory card includes one or a plurality of flash memories and a controller having an interface connected to a host computer to store card attribute information to be presented to the host computer at a predetermined storage position in the flash memory.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2001-503166

(P2001-503166A)

(43)公表日 平成13年3月6日(2001.3.6)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

G 0 6 K 19/07

G 0 6 K 19/00

N

B 4 2 D 15/10

5 2 1

B 4 2 D 15/10

5 2 1

審査請求 有 予備審査請求 有 (全 45 頁)

(21)出願番号 特願平10-506784

(86) (22)出願日 平成9年7月16日(1997.7.16)

(85)翻訳文提出日 平成11年1月19日(1999.1.19)

(86)国際出願番号 PCT/J P 97/02464

(87)国際公開番号 WO98/03915

(87)国際公開日 平成10年1月29日(1998.1.29)

(31)優先権主張番号 8/207656

(32)優先日 平成8年7月19日(1996.7.19)

(33)優先権主張国 日本(JP)

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), JP, KR, US

(71)出願人 東京エレクトロニクス株式会社

神奈川県横浜市都筑区東方町1番地

(72)発明者 菊地 修一

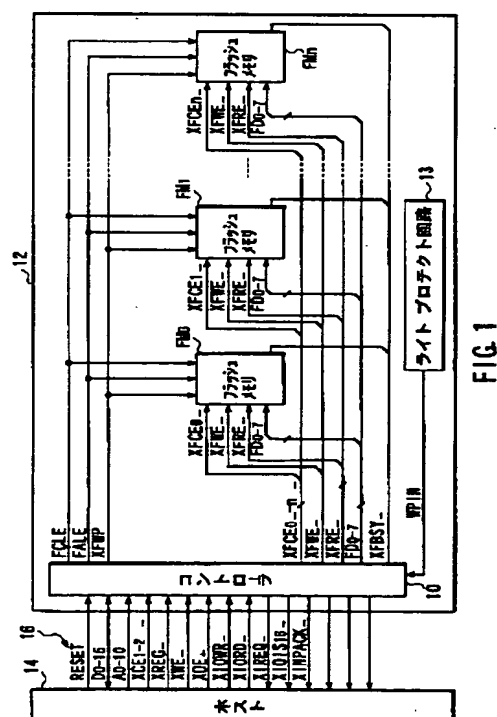
岩手県江刺市田原字宿75-12

(74)代理人 弁理士 鈴江 武彦 (外3名)

(54)【発明の名称】 フラッシュメモリカード

(57)【要約】

1個または複数個のフラッシュメモリ(FM1-FMn)と、ホストコンピュータ(14)に接続されるインタフェースを有し、ホストコンピュータに提示すべきカード属性情報をフラッシュメモリの所定の記憶位置に格納するコントローラ(19)とを搭載したフラッシュメモリカード。



【特許請求の範囲】

1. 少なくとも1個のフラッシュメモリと、

ホストコンピュータに接続されるインタフェースを有し、前記ホストコンピュータに提示すべきカード属性情報を前記フラッシュメモリの所定の記憶位置に格納するコントローラと、

により構成されるフラッシュメモリカード。

2. 前記カード属性情報と同一の情報が前記カード属性情報が格納されるべき記憶位置とは異なる前記フラッシュメモリ内の記憶位置に格納される請求項1のフラッシュメモリカード。

3. 前記フラッシュメモリは所定数のブロックに分割された記憶領域を有し、前記カード属性情報は前記カード属性情報が格納されるべき前記フラッシュメモリ内で最も高いまたは最も低いアドレス順位を有する正常なブロックに格納される請求項1のフラッシュメモリカード。

4. 前記フラッシュメモリは所定数のブロックに分割された記憶領域を有し、前記ブロックの各々は前記ホストコンピュータに提示すべき前記カード属性情報を格納する先頭ページ領域を含む複数のページ領域に分割され、前記ページ領域の各々は前記ホストコンピュータからのデータを格納するデータ領域と制御情報を格納する冗長部とを有する請求項1のフラッシュメモリカード。

5. 前記冗長部は、前記カード属性情報として、カードのコンフィギュレーションやカードへのアクセス方式を示すC I S情報を格納する部分を含む請求項4のフラッシュメモリカード。

6. 前記冗長部は、アクセス方式を示すC I S情報としてメモリアドレス長、I/Oアドレス範囲および割り込み条件を示す情報を格納する部分を含む請求項5のフラッシュメモリカード。

7. 前記コントローラは、前記カード属性情報と同一の情報を前記カード属性情報が格納されるべき前記フラッシュメモリの記憶位置とは異なる記憶位置に格納する機能を有する請求項4のフラッシュメモリカード。

8. 前記コントローラは、前記カード属性情報の少なくともいくつかが変更される毎に次のアドレスのページに新たな前記カード属性情報を格納する機能

ド。

17. 少なくとも1個のフラッシュメモリと、

ホストコンピュータに接続されるインタフェースと、

前記ホストコンピュータからの前記フラッシュメモリへのデータの書込みを禁止するためのライトプロテクト手段と、

を搭載したフラッシュメモリカード。

18. 前記ホストコンピュータからの読出し要求に応じて前記フラッシュメモリ内の任意の記憶位置から読み出されたデータについてエラーの検出および訂正を行うエラー処理手段と、前記エラー処理手段によりエラーが検出されたときは前記ライトプロテクト手段が書込禁止状態になっているか否かに拘らず前記エラー処理手段により訂正を施された前記読出しデータを空き状態になっている別の記憶位置へ書き込むデータ移し替え手段とを有する請求項16のフラッシュメモリカード。

【発明の詳細な説明】

フラッシュメモリカード

技術分野

本発明は、カード上に記憶媒体としてフラッシュメモリを搭載するフラッシュメモリカードに関する。

背景技術

近年、ハードディスクやフロッピディスク等の磁気メモリに置き換わる半導体メモリとして、フラッシュメモリ（フラッシュEEPROM）が注目されている。これらのフラッシュメモリは、不揮発性で消費電力が少なく電氣的に書き換え可能な半導体メモリであり、軽量小型で耐震性が良いため、携帯機器等への用途が拡大している。

このようなフラッシュメモリの代表的な用途にフラッシュメモリカードがある。フラッシュメモリカードは、1枚のカード上に1個または複数個のフラッシュメモリ（ICチップ）を搭載したカードであり、一般的にはPCMCIA準拠のPCカードとして提供されている。

PCカードは、標準に準拠したホストコンピュータ（たとえばパーソナルコンピュータ）間でカードの互換性を高めるというPCMCIAの要請（規格）から、カードのコンフィギュレーションやカードへのアクセスの仕方等を表示または記述するCIS（Card Information Structure）情報というカード属性情報を持たなくてはならない。

この種のフラッシュメモリカードには、フラッシュメモリだけでなく、ホストシステムと所定のインタフェースを介して接続され、かつカード上でフラッシュメモリに対するデータの書き込み／読出しを実行するコントローラや、このコントローラの動作に必要なプログラムおよびデータを保持するためのRAMやROM等も搭載されている。

従来のこの種フラッシュメモリカードでは、CIS情報をカード上のROMに他のソフトウェアと一緒に格納していた。ホストシステムのカードスロットにフラッシュメモリカードが挿入されると、ホストコンピュータは、最初にこのフラッシュメモリカードのCIS情報を検索する。フラッシュメモリカード

内では、コントローラが、C I S 情報をR O Mから読み出してホストから直接アクセス可能なR A Mまたはレジスタにセットする。ホストコンピュータは、フラッシュメモリカードから取り込んだC I S 情報に基づいてメモリ空間やI / O 空間の領域、割込みレベル等をカードに割り当て、以後カード上のフラッシュメモリに対して随時書き込み／読出しのアクセスを行う。

ところで、フラッシュメモリカードにおいては、C I S 情報の一部または全部を書き換える必要も時としてある。たとえば、一次供給元のカードメーカーが製作したフラッシュメモリカードを二次供給元のカードベンダが自社のカードとして配布する場合、C I S 情報のうち製品メーカー情報、製品名情報、製品バージョン等の属性情報が変更されることになる。

しかるに、従来のフラッシュメモリカードでは、上記のようにC I S 情報がR O M内に固定情報として格納されるため、C I S 情報の書換えは事実上不可能であった。

また、従来のフラッシュメモリカードには、フラッシュメモリに蓄積されているデータを保護する機能、つまりフラッシュメモリへの新規データの書き込みを禁止するライトプロテクト機能がなかった。このため、保存しておかなくてはいけないデータの入ったフラッシュメモリカードにおいて、誤って新規なデータを上書きしてしまい、大切なデータを消してしまうことがあった。

更に、フラッシュメモリ本体がアダプタに対して着脱可能なフラッシュメモリカードでは、装着されるフラッシュメモリ本体に応じてC I S 内容を変える必要があった。

発明の簡単な概要

本発明は、特に部品点数やコストの増大を招くことなくカード属性情報を任意に書換えできるようにしたフラッシュメモリカードを提供することを目的とする。

さらに、本発明は、不所望な書き込みを防止して記憶データを安全に保存できるようにしたフラッシュメモリカードを提供することを目的とする。

本発明の第1曲面によると、1個または複数個のフラッシュメモリと、ホストコンピュータに接続されるインタフェースを有し、前記ホストコンピュータ

に提示すべきカード属性情報を前記フラッシュメモリの所定の記憶位置に格納するコントローラとを搭載したフラッシュメモリカードが提供される。

また、上記フラッシュメモリカードにおいて、各フラッシュメモリの記憶領域は所定数のブロックに分割され、カード属性情報を格納すべきフラッシュメモリ内でアドレス順位の最も高いもしくは最も低い正常なブロックの中にカード属性情報が格納される。

また、上記フラッシュメモリカードにおいて、各ブロックは所定数のページに分割され、前記カード属性情報が格納されるべき前記ブロック内でカード属性情報の一部または全部が変更される度毎に新たなカード属性情報が次のアドレスのページに順次書き込まれる。

また、上記フラッシュメモリにおいて、同一のカード属性情報がカード属性情報を格納すべき所定のフラッシュメモリ内の異なる記憶位置に多重に格納される。

この発明の第2の曲面によると、1個または複数個のフラッシュメモリと、ホストコンピュータに接続できるインタフェースと、ホストコンピュータからのフラッシュメモリへのデータの書き込みを禁止するためのライトプロテクトを設けたフラッシュメモリカードが提供される。

また、第2の曲面によるフラッシュメモリにおいて、ホストコンピュータからの読出し要求に応じてフラッシュメモリ内の任意の記憶位置から読み出されたデータについてエラーの検出および訂正を行うエラー処理部と、前記エラー処理部によりエラーが検出されたときはライトプロテクトが書込禁止化状態になっているか否かに拘らずエラー処理部により訂正を施された読出しデータを空き状態になっている別の記憶位置へ書き込むデータ移し替え部が設けられている。

図面の簡単な説明

図1は、本発明の一実施例によるフラッシュメモリカードの内部の回路構成を示すブロック図である。

図2は、実施例におけるコントローラの内部の機能的構成を示すブロック図である。

図3は、フラッシュ・メモリ内の記憶領域のフォーマットを示す図である。

図4は、実施例におけるフラッシュ・メモリの内部の構成例を示す。

図5は、実施例においてコントローラが或るフラッシュ・メモリにデータを書き込むときの動作を示すタイミング図である。

図6は、実施例においてコントローラが或るフラッシュ・メモリよりデータを読み出すときの動作を示すタイミング図である。

図7は、C I S 情報（一部）のフォーマット例を示す図である。

図8は、実施例において最初のC I S 情報の書込み（登録）のためのコントローラの処理を示すフローチャートである。

図9は、実施例においてC I S 情報の書換え（変更）のためのコントローラの処理を示すフローチャートである。

図10は、実施例においてホストからの要求に応じてフラッシュメモリカードのC I S 情報を提示するためのコントローラの処理を示すフローチャートである。

図11は、実施例におけるライトプロテクト回路の構成例を示す回路図である。

図12は、実施例におけるライトプロテクト回路のうちカード外側面に取付可能な切換操作器および表示器の一例を示す略平面図である。

図13は、実施例のフラッシュメモリカードに好適な保持具の一例を示す略平面図である。

図14Aおよび14Bは、実施例のフラッシュメモリカードに好適な保持具の別の例を示す略平面図である。

図15Aおよび15Bは、ホストコンピュータに接続される種々形態のフラッシュメモリカードを示す。

発明を実施する最良の態様

図1は、本発明の一実施例によるフラッシュメモリカード内の回路構成を示す。このフラッシュメモリカードは、1枚のカード本体12上に1チップのコントローラ10と、複数個（ $n+1$ 個）のNAND型フラッシュメモリFM0～FM n と、ライトプロテクト回路13とを搭載している。カード12がホストコンピュータ14のカードスロットに装着され、コントローラ10は所定規

格のインタフェース、たとえばPCMCIA-ATAまたはIDEインタフェース16を介してホストコンピュータ14に接続される。フラッシュメモリFM0～FMnは同一構成および機能を有するメモリチップからなる。

コントローラ10は、たとえば8ビット幅の内部バスFD0～7と、各々が全てのフラッシュメモリFM0～FMnに共通である制御線FCLE、FALE、XFWP、XFWP、XFWE、XFWE、XFREおよびXFBSYと、フラッシュメモリFM0～FMnの総数に等しい本数、つまり(n+1)本の個別的な制御線XFCEO～XFCENとを介して、各フラッシュメモリFM0～FMnに接続されている。

内部バスFD0～7は、コントローラ10と各フラッシュメモリFM0～FMn間のコマンド、アドレスおよびデータの伝送に兼用される。上記共通制御線のうち、FCLEは、バスFD0～7上のコマンドコードをフラッシュメモリFM0～FMnにコマンドとして識別させるためのコマンドラッチイネーブル制御線である。FALEは、バスFD0～7上のアドレスコードをフラッシュメモリFM0～FMnにアドレスとして識別させるためのアドレスラッチイネーブル制御線である。XFWPは、フラッシュメモリFM0～FMnに書込みを強制的に禁止させるためのライトプロテクト制御線である。XFWPは、バスFD0～7上のコードまたはデータを各フラッシュメモリFM0～FMnに取り込ませるためのライトイネーブル制御線である。XFREは、フラッシュメモリFM0～FMnの出力ポートから読出しデータをバスFD0～7上に出力させるためのリード(出力)イネーブル制御線である。また、XFBSYは、フラッシュメモリFM0～FMnが各々のビジー状態をコントローラ10に知らせるためのビジー線である。

また、上記個別的な制御線XFCEO～XFCENは、各フラッシュメモリFM0～FMnを個別的または独立的にチップイネーブル状態(動作可能状態)にするためのチップイネーブル制御線である。

ライトプロテクト回路13は、後述するようにカード12に取り付けられている手動式切換スイッチの操作に応じてライトプロテクト信号WPINをコントローラ10に与える。ライトプロテクト回路13からのライトプロテクト信

号WPINがアクティブ状態（Hレベル）になると、コントローラ10はライトプロテクトモードになり、ホスト14からの書込み要求に受け付けない。

コントローラ10は、ハードウェア的にはCPU、ROM、RAM、入出力インタフェース回路等から構成されている。

図2に、コントローラ10の内部の機能的構成をブロック図で示す。コントローラ10は、機能的には、本体インタフェース部20、リセット処理部22、アドレス変換部24、コマンド処理部26、フラッシュテーブル制御部28、フラッシュコマンド発生部30、エラー制御部32およびフラッシュインタフェース部34を有している。

本体インタフェース部20は、ホストコンピュータ14から直接書込み／読出し可能な種々のメモリまたはレジスタ類を内蔵しており、ホストコンピュータ14のバスに所定規格のインタフェース、たとえばPCMCIA-ATAインタフェースで接続される。ホストコンピュータ14とコントローラ10との間で受け渡されるCIS情報は、本体インタフェース部20内のメモリまたはレジスタで一時的に保持される。

このインタフェースにおいて、ホストコンピュータ14から本体インタフェース部20内の各レジスタを選択するために、アドレス信号A0～10と制御信号XCE1～2が用いられる。アドレスマップのメモリ空間とI/O空間の選択に、XREGが用いられる。また、メモリ空間の書込み／読出しには制御信号XWE／XOEが用いられ、I/O空間の書込み／読出しには制御信号XIOWR／XIORDが用いられる。本体インタフェース部20からホストコンピュータ14に対しては、割込み要求信号XIREQ、入力アクノリッジ信号XINPACK等が発せられる。本体インタフェース部20には、ホストコンピュータ14からのコマンドをデコードする回路も含まれている。

リセット処理部22は、外部からのリセット信号、たとえばXPONRSTに応動してコントローラ10内の各部をリセット状態にする処理のほか、リセット解除後の初期化の処理を制御する。

アドレス変換部24は、ホストコンピュータ14が指定してくるCHS（シ

リンダヘッドセクタ) モードの論理アドレスをフラッシュメモリカード内のLB A (論理ブロックアドレス) モードの論理アドレスに変換する。

コマンド処理部26は、本体インタフェース部20でデコードされたホストコンピュータ14からのコマンドを実行するため、コントローラ10内の各部を制御する。

フラッシュテーブル制御部28は、リセット処理部22やコマンド処理部26等からの要求により、アドレス変換テーブルおよび空きブロックテーブルの初期化を行うとともに、ホストコンピュータ14からのコマンドに応動してテーブルの検索ないし更新を行う。フラッシュテーブル制御部28には、SRAMからなるテーブルメモリが設けられ、このテーブルメモリ上にアドレス変換テーブルや空きブロックテーブルが構築される。

フラッシュコマンド発生部30は、フラッシュテーブル制御部28やコマンド処理部26等からの要求により、フラッシュメモリFM₀~FM_nに対するコマンドコードおよびアドレス信号を発生する。

エラー制御部32は、書き込み時にECC (Error Correcting code) を生成し、そして読出し時にECCエラー制御を行う。また、エラー制御部32はフェイル時やエラー時のブロック代替処理等を行う。

フラッシュインタフェース部34は、共通バスFD₀~7および各種制御線 (FCL E、FALE等) を介してフラッシュメモリFM₀~FM_nとデータおよび信号をやりとりする入出力ポートであり、共通バスFD₀~7上でコマンド、アドレスおよびデータを異なるタイミングで多重化するタイミング制御機能を有している。

図3に、各フラッシュメモリFM_i (i=0~n) 内の記憶領域のフォーマットを示す。各フラッシュメモリFM_iの全記憶領域は複数個たとえば512個のブロックBL₀~BL₅₁₁に分割され、各ブロックBL_j (j=0~511) は複数個、たとえば16個のページまたはセクタPG₀~PG₁₅に分割されている。通常、プログラミング (書き込み) や読出しはページ単位で行われ、消去はブロック単位で行われる。

各ページPG_k (k=0~15) は、所定容量、たとえば512バイトのデ

ータ領域と、所定容量、たとえば16バイトの冗長部とからなる。データ領域がホストからのデータを格納する領域である。冗長部は幾つかのフィールド(fields)に区切られ、それぞれのフィールドに「データ訂正用ビット」、「変換テーブルアドレス」、「データステータス」、「ブロックステータス」等のデータが格納される。

これらの冗長部データのうち、「データステータス」には当該ページの状態を示すフラグが含まれている。本実施例では、後述するようにCIS情報の書き換えが行われると、旧CIS情報を格納しているページの冗長部の「データステータス」に「エラーフラグ」がセットされるようになっている。また、「ブロックステータス」には、チップ出荷前のブロック良否検査で当該ページの属するブロックが良品(正常)であるか不良(欠陥)品であるかを示す「ブロック良否フラグ」がセットされる。

図4に、各フラッシュメモリFMiの内部の構成例を示す。フラッシュメモリアレイ40は、マトリクス状に配置された多数のメモリセルから構成されている。たとえば、図3のように1チップのフラッシュメモリFMiが512個のブロックBL0~BL511を有し、各ブロックBLjは16個のページまたはページPG0~PG15からなり、各ページPGkが512バイトのデータ領域と16バイトの冗長部とからなる場合、メモリアレイ40は8192(16×512)行×528(512+16)列のメモリセルから構成され、32メガバイトの記憶容量を有する。

フラッシュメモリアレイ40は、ページレジスタ42およびゲート回路44を介して1ページ分(528バイト(byte))の蓄積容量を有するI/Oバッファ46に電氣的に接続されており、メモリアレイ40とI/Oバッファ46との間でページ単位の並列的なデータ転送が行われるようになっている。このフラッシュメモリFMiでは、I/Oバッファ46が実質上の出力ポートを構成する。

バスFD0~7上のコマンド、アドレスまたはデータは、グローバルバッファ48を介してそれぞれコマンドレジスタ50、X、Yアドレスバッファ52、54およびI/Oバッファ46にラッチされる。

コマンドレジスタ50は、入力したコマンドをデコードした上でアドレスバッファ52、54ないしアドレスデコーダ56、58およびI/Oバッファ46を制御する。このコマンドレジスタ50には、メモリ内の状態を示すステータス情報を保持するステータスレジスタが含まれている。

Xアドレスバッファ52は行アドレスAD_Xを取り込み、Xアドレスデコーダ56はこの行アドレスAD_Xをデコードしてメモリアレイ40内の指定（選択）された行（ページ）をアクティブにする。Yアドレスバッファ54は、列アドレスAD_Yを取り込み、Yアドレスデコーダ58はこの列アドレスAD_Yをデコードしてメモリアレイ40内の指定（選択）された列のデータを転送するようゲート回路44を制御する。

制御回路60は、コントローラ10からの制御信号FCLE、FALE、FWP、XFCE_i、XFE_i、XFE_iを入力し、各制御信号に応動してメモリ内の各部を制御する。出力ドライバ62は、I/Oバッファ46にセットされている読出しデータをバスFD0~7上に送出する際にバスラインを駆動する。

ここで、図5のタイミングチャートを参照し、本実施例のフラッシュメモリカードにおいてコントローラ10が任意のフラッシュメモリFM_iにデータを書き込む処理について説明する。なお、フラッシュメモリでは、通常、1回の書込みサイクルTWで1ページ分のデータが書き込まれる。

コントローラ10は、フラッシュメモリFM_iにおける書込みサイクルTWの全期間を通じてチップイネーブル制御信号XFCE_iをアクティブ（Lレベル）に保持し、フラッシュメモリFM_iをチップイネーブル（動作可能）状態に保つ。

まず、コントローラ10は、コマンドラッチイネーブル制御信号FCLEをアクティブ（Hレベル）にして、バスFD0~7上に所定コードのデータ入力コマンドCMSを送出すると同時に、ライトイネーブル制御信号XFE_iをアクティブ（Lレベル）とする。このコントローラ10からのコマンド書込み操作に応動して、フラッシュメモリFM_iはバスFD0~7上の該データ入力コマンドCMSを取り込んで自己のコマンドレジスタ50にラッチする。

次に、コントローラ10は、アドレスラッチイネーブル制御信号F A L Eをアクティブ（Hレベル）にして、バスF D 0～7上に所定ビット数の書込みアドレスA D Wを1ないし3回に分割して送出し、その都度、ライトイネーブル制御信号X F W Eーをアクティブ状態（Lレベル）とする。

このコントローラ10からのアドレス書込み操作に応動して、フラッシュメモリF M iはバスF D 0～7上の該書込みアドレスA D Wを取り込んで自己のアドレスバッファ52、54にラッチする。この書込みアドレスA D Wは、フラッシュメモリF M i内で書込み先となるページを指定している。

次に、コントローラ10は、コマンドラッチイネーブル制御信号F C L Eおよびアドレスラッチイネーブル制御信号F A L Eをそれぞれ非アクティブ（Lレベル）にした状態で、バスF D 0～7上に1ページ分（528バイト）の書込みデータD A T A Wを1バイトずつ送出し、その都度、ライトイネーブル制御信号X F W Eーをアクティブ状態（Lレベル）とする。フラッシュメモリF M iは、ライトイネーブル制御信号X F W Eーに応動してバスF D 0～7上のデータD A T A Wを1バイトずつ取り込んでI/Oバッファ46に格納する。

次に、コントローラ10は、再びコマンドラッチイネーブル制御信号F C L Eをアクティブ（Hレベル）にして、バスF D 0～7上に所定コードのプログラムコマンドC M Pを送出すると同時に、ライトイネーブル制御信号X F W Eーをアクティブ（Lレベル）とする。このコントローラ10からのコマンド書込み操作に応動して、フラッシュメモリF M iはバスF D 0～7上の該プログラムコマンドC M Pを取り込んでコマンドレジスタ50にラッチし、プログラミング動作を開始する。

すなわち、フラッシュメモリF M iは、該プログラムコマンドC M Pをデコードし、該書込みアドレスA D Wで指定されるフラッシュメモリアレイ40内の記憶領域（ページ）に、I/Oバッファ46に格納されている1ページ分（528バイト）のデータを書き込む。このメモリ内のデータ書込み動作には、たとえば300 μ S程度の一定時間 t_{WB} を要する。フラッシュメモリF M iは、このデータ書込み動作を開始すると、ビジー信号X F B S Yーをアクティブ（Lレベル）とし、以後、データ書込み動作が終了するまで（一定時間 t_w

Bが経過するまで) このビジー状態を保持する。

フラッシュメモリF M i においてデータ書込みのビジー時間t W Bが終了すると、ビジー信号X F B S Yーが非アクティブ状態 (Hレベル) に戻ったことを確認してコントローラ10は今回のフラッシュメモリF M iにおけるデータ書込み (プログラミング) が良好に行われたか否かの検査を行う。

このプログラミング結果の良否検査を行うため、コントローラ10は、コマンドラッチイネーブル制御信号F C L Eをアクティブ (Hレベル) にして、バスF D 0~7上に所定コードのステータスレジスタ読取りコマンドC M Cを送出すると同時に、ライトイネーブル制御信号X F W Eーをアクティブ (Lレベル) とする。

このコントローラ10からのコマンド書込み操作に応動して、フラッシュメモリF M iはバスF D 0~7上からステータスレジスタ読取りコマンドC M Cを取り込んで、このコマンドC M Cをデコードし、このコマンドC M Cに応答する。すなわち、フラッシュメモリF M i内のコマンドレジスタ50内のステータスレジスタにセットされている書込みステータスビットI / O 0を、I / Oバッファ46を介してバスF D 0~7上に送出する。

コントローラ10は、リード (出力) イネーブル制御信号X F R Eーをアクティブ (Lレベル) にしてフラッシュメモリF M iからの書込みステータスビットI / O 0を受け取り、そのビット内容を基に今回の書込みサイクルT Wにおけるデータ書込み (プログラミング) が首尾よく行われたか否かを判定する。

次に、図6のタイミングチャートを参照して、本実施例のフラッシュメモリカードにおいてコントローラ10が任意のフラッシュメモリF M iより1ページ分のデータを読み出すときの動作を説明する。

コントローラ10は、読出しサイクルT Rの全期間を通じて、チップイネーブル制御信号X F C Eーをアクティブ (Lレベル) に保持し、フラッシュメモリF M iをチップイネーブル (動作可能) 状態に保つ。

まず、コントローラ10は、コマンドラッチイネーブル制御信号F C L Eをアクティブ (Hレベル) にして、バスF D 0~7上に所定コードの読出しコマンドC M Rを送出すると同時に、ライトイネーブル制御信号X F W Eーをアク

タイプ（Lレベル）とする。このコントローラ10からのコマンド書き込み操作に応動して、フラッシュメモリF M iはバスF D 0～7上から該読出しコマンドC M Rを取り込んでコマンドレジスタ50にラッチする。

次に、コントローラ10は、アドレスラッチイネーブル制御信号F A L Eをアクティブ（Hレベル）にして、バスF D 0～7上に所定ビット数の読出しアドレスA D Rを1回ないし3回に分割して送出し、その都度ライトイネーブル制御信号X F W E－をアクティブ状態（Lレベル）とする。このコントローラ10からのアドレス書き込み操作に応動して、フラッシュメモリF M iはバスF D 0～7上の該読出しアドレスA D Rを取り込んで、メモリ内のデータ読出し動作を開始する。

すなわち、フラッシュメモリF M iは、入力した読出しコマンドC M Rおよび読出しアドレスA D Rをデコードし、読出しアドレスA D Rで指定されるフラッシュメモリアレイ40内の記憶領域（ページ）より1ページ分（528バイト）のデータD A T A Rを読み出し、読み出したデータD A T A RをI/Oバッファ46に転送（セット）する。このメモリ内の読出し動作にはたとえば25 μ s程度の一定時間t R Bを要するため、フラッシュメモリF M iはこの処理時間t R Bの間、ビジー信号X F B S Y－をアクティブ（Lレベル）に保持する。

フラッシュメモリF M i内の読出し動作が終了してビジー状態が解除されると（X F B S Y－がHレベルに戻ると）、コントローラ10はフラッシュメモリF M i（7）I/Oバッファ46にセットされている読出しデータD A T A Rの取込みに取り掛かる。すなわち、コントローラ10は、リード（出力）イネーブル制御信号X F R E－を一定周期で繰り返し（528回）アクティブ（Lレベル）にすることにより、フラッシュメモリF M iのI/Oバッファ46より1ページ（528バイト）の読出しデータD A T A Rを1バイトずつバスF D 0～7を介して取り込む。

図7に、C I S情報（一部）のフォーマット例を示す。図7に示す属性情報は主としてカードのコンフィギュレーションに関するものであるが、これらの外にも「メモリアドレス長」、「I/Oアドレス範囲」、「割り込み条件情

報」等のアドレス方式に関する属性情報もあり、C I S 情報全体で、たとえば128バイトの情報量を有する。

次に、本実施例のフラッシュメモリカードにおいてC I S 情報を書き込むときの動作について説明する。

C I S 情報の書込みは、ホストコンピュータ14より与えられる所定のコマンドと所望のC I S 情報に応じてコントローラ10が実行するが、先ず、図8のフローチャートに基づき、最初のC I S 情報を書き込むためのコントローラ10の処理を説明する。

コントローラ10は、デフォルトとして第1番目のフラッシュメモリFM0の先頭ブロックBL0の先頭ページPG0を選択し、上記したような読出しサイクル(図6)で該先頭ブロックBL0の先頭ページPG0よりデータを読み出す(ステップA1, A2)。

次に、コントローラ10は、読み出したデータのうち冗長部の「ブロックステータス」情報に含まれる「ブロック良否フラグ」を参照し、この先頭ブロックBL0が良品か否かをチェックする(ステップA3)。先頭ブロックBL0が不良品であるときは、第1番目のフラッシュメモリFM0の第2番目のブロックBL1の先頭ページPG0からデータを読み出し(ステップA4, A2)、このブロックBL1についても「ブロック良否フラグ」を基に良品ブロックか否かをチェックする(ステップA3)。このようにして、第1番目のフラッシュメモリFM0内でアドレス順位の最も高い(アドレス値の最も小さい)良品ブロックBLjを割り出す。

次に、この割り出したアドレス順位の最も高い良品ブロックBLjの先頭ページPG0に、上記したような書込みサイクル(図5)でC I S 情報を書き込む(ステップA5)。

なお、この実施例では、C I S 情報のセキュリティを高めるため、フラッシュインタフェース部34内でC I S 情報をコピーして同一のC I S 情報を2つ用意し、書込み先のブロックBLjの先頭ページPG0においてデータ領域の前半部および後半部(各256バイト容量)にそれぞれ同一のC I S 情報(128バイト)を二重に書き込むようにしている。

次に、図9のフローチャートにつき、C I S情報の書換え（変更）のためのコントローラ10の処理を説明する。

書換えの場合も、コントローラ10は、先ずデフォルトとして第1番目のフラッシュメモリFM0の先頭ブロックBL0の先頭ページPG0から検索を開始し、冗長部の「ブロックステータス」情報に含まれる「ブロック良否フラグ」を基に、第1番目のフラッシュメモリFM0内でアドレス順位の最も高い良品ブロックBLjを割り出す（ステップB1～B4）。

この割り出したブロックBLjの先頭ページPG0には、C I S情報が格納されている。ここで、コントローラ10は、この先頭ページPG0の冗長部の「データステータス」に含まれている「エラーフラグ」を検査する（ステップB5）。

1回目の書換えが終了するまでは、まだ最初（第1版）のC I S情報が現時のC I S情報として機能しており、この先頭ページPG0で「エラーフラグ」は立っていない。この点を確認し、ページを更新して第2版のC I S情報の書き込み先として、当該ブロックBLj内の次（第2番目）のページPG1に決定する（B6）。

即ち、コントローラ10は先頭ページから順次ページのエラーフラグの状態を確認し、エラーフラグが立っていないページが現C I S情報を格納したページであると決定し、第2版のC I S情報の書き込み先として決定されたページの次のページを決定する。

次にコントローラ10は、ホストコンピュータ14からのコマンドを基に今回のC I S書換え（変更）はC I S情報の一部なのか全部なのかを判断する（ステップB7）。全部変更のときは、ホストコンピュータ14から受け取ったC I S情報（全部）をそのまま第2版のC I S情報とする。一部変更のときは、フラッシュインタフェース部34内で該先頭ページPG0より読み出した現時（第1版）のC I S情報のうち変更の対象となる部分をホストコンピュータ14から受け取ったC I S情報（一部）で置換してC I S情報を更新し（ステップB8）、この更新したC I S情報を第2版のC I S情報とする。

次いで、コントローラ10は、この第2版のC I S情報を上記のような書込

みサイクル(図5)で該ブロックBLj内の第2番目のページPG1に書き込む(ステップB9)。これで、CIS情報の1回目の書換えが終了する。なお、先頭ページPG0には第1版のCIS情報が旧CIS情報として残っている。以後、この旧CIS情報への参照を禁止するため、後処理として先頭ページPG0の冗長部のデータステータス中のエラーフラグを立てる。

2回目の書換えでは、最初にブロックBLjの先頭ページPG0がアクセスされるが、この先頭ページPG0ではエラーフラグが立っているため、第2番目のページPG1からデータを読み出す(ステップB2、B3、B6)。その後は、1回目の書換え時と同様の処理を行い(ステップB7~B9)、今回は第3版のCIS情報を第3番目のページP2のデータ領域の前半部と後半部とに二重に書き込む。後処理として、第2番目のページPG2でエラーフラグを立てる。3回目以降の書換え処理も同様にして行う。

次に、図10のフローチャートにつき、ホストコンピュータ14からの要求に応じて本フラッシュメモリカードのCIS情報を提示するためのコントローラ10の処理を説明する。

この場合、コントローラ10は、まず、CIS書換え処理のときと同様の検索により、デフォルトとして指定されている第1番目のフラッシュメモリFM0内でアドレス順位の最も高い良品ブロックBLjに属し、かつ現CIS情報を格納しているページPGkを割り出す(ステップC1~C6)。

次いで、コントローラ10は、該検索したページPGkのデータ領域の前半部および後半部より読み出した二重の現CIS情報のうちいずれか一方、たとえばパリティ検査にかけて正常の検査結果が得られた方を選択または抽出する(ステップC7)。この抽出した現CIS情報を本体インタフェース部20内の所定のメモリまたはレジスタ(たとえばアトリビュートメモリ)にセットして(ステップC8)、ホストコンピュータ14へ提示する。

上記したように、本実施例のフラッシュメモリカードでは、CIS情報を所定のフラッシュメモリ内の所定の記憶位置に格納し、随時書換え可能としている。本カードに搭載されているコントローラ10が、所定の規約、すなわち“第1番目のフラッシュメモリFM0内でアドレス順位の最も高い良品ブロッ

クに属し、かつ冗長部のデータステータスでエラービットが立っていないアドレス順位の最も高いページに現CIS情報を格納する”という規約の下で、カード内でのCIS情報の書込み、書換え、読出し等の一切の管理を行う。

このように、本実施例では、CIS情報の保持にフラッシュメモリを利用するので、CIS用の特別の不揮発性メモリや端子を増やす必要はない。また、ホストコンピュータ14からすれば、本フラッシュメモリカードに対してCIS情報を任意に書き換えることができる。

なお、上記の規約は一例であり、種々の変形が可能である。たとえば、CIS情報の格納場所となるブロックまたはページをアドレス順位の高い順ではなく低い順に決定することも可能である。

次に、本実施例のフラッシュメモリカードにおけるライトプロテクト機能について説明する。

図1に示したように、本フラッシュメモリカードにはライトプロテクト回路13が搭載されている。図11に、ライトプロテクト回路13の構成例を示す。また、図12に、ライトプロテクト回路13のうちカード外側面に取付される切換操作器および表示器の一例を示す。

図11において、このライトプロテクト回路13は、カード内電源電圧VBの端子とアース電位との間に直列接続された負荷抵抗70と手動式切換スイッチ72とを有し、それらの接続点Nよりライトプロテクト信号WPINを出力するようにしている。

フラッシュメモリカードがホストコンピュータ14のカードスロットに挿入されると、ホストコンピュータ14より電源電圧VBが本カードに供給される。スイッチ72が開いていると、本カード内で電源電圧VBが立ち上がった時、接続点Nの電位がHレベルになり、アクティブ状態（Hレベル）のライトプロテクト信号WPINがコントローラ10に与えられる。しかし、スイッチ72が閉じていれば、電源電圧VBが立ち上がっても、接続点Nの電位がLレベルのままで、ライトプロテクト信号WPINは非アクティブ状態（Lレベル）に保持される。

接続点Nとアース電位との間には、インバータ74と発光ダイオード76と

の直列回路、および2段のインバータ78、80と発光ダイオード82との直列回路も接続されている。ライトプロテクト信号WPINがアクティブ状態（Hレベル）の時は発光ダイオード90がオンし、書き込み禁止を表す色（たとえば赤）の光LRを発する。ライトプロテクト信号WPINが非アクティブ状態（Lレベル）の時は発光ダイオード76がオンし、書き込み可能を表す色（たとえば緑）の光LGを発する。

図12に示すように、手動式開閉スイッチ72の操作部（可動接点）はたとえばスライド式つまみとしてカード本体12の片面に取り付けられてよい。また、両発光ダイオード76、90は、本カードがホストコンピュータ14のカードスロットに挿入されているときにユーザが点灯状態を目視できるように、カード端子ビン92とは反対側のカード端部に取り付けられてよい。

このように、本実施例では、カード本体12に設けられたスイッチ72の手動操作に応じてカード内でライトプロテクト回路13により電氣的またはソフト的に（ライトプロテクト信号WPINを通じて）ライトプロテクトがコントローラ10にかけられる。

なお、図11および図12に示した構成は一実施例にすぎず、種々の変形が可能である。たとえば、手動式切換スイッチ72に代えて、カード本体12上の所定位置に接着／剥離可能な遮光性シールの有無を検出する光センサをカード12に内蔵することも可能である。この場合、カード本体12の該所定位置に遮光性シールを貼ると、カード内の光センサがこれを検知し、上記ライトプロテクト回路13に相当する回路よりアクティブなライトプロテクト信号WPINが出力されるように構成すればよい。また、カードにはライトプロテクトをかけるか否かのユーザの意思を表明するための印（たとえば開閉窓）を設け、ホストコンピュータ14側、つまりカードスロット付近に、該カード側の印の状態を検出するセンサ（たとえば光センサ）やライトプロテクト回路、状態表示ランプ（76、90）等を設けることも可能である。

本フラッシュメモリカードで上記のようなライトプロテクトがかけられると、コントローラ10は、ホストコンピュータ14からの書き込み要求（コマンド）に対してはアボート（要求却下）信号で返答し、書き込み動作を行わない。

カード内では、たとえばライトプロテクト制御線XFWPを通じてカード上の各フラッシュメモリFM0～FMnにおける書込みを全面的に禁止することができる。しかし、一切の書込みを禁止すると、読出し時に不都合を来すことがある。

本実施例のフラッシュメモリカードでは、データの読出し時にコントローラ10内のフラッシュインタフェース部34でECCエラーの検出を行うようになっている。ECCエラーを検出した場合、読出しデータの訂正を条件的に行うとともに、訂正したデータを別の記憶位置へ移し替える。ライトプロテクトによって一切の書込みを禁止したならば、このデータの移し替えが行えなくなる。

そこで、本実施例のライトプロテクト機能では、書込み禁止状態にしてあっても、フラッシュメモリ内またはフラッシュメモリ間でのデータ移し替えは例外的に行えるようにしている。

なお、上記のようなECCエラー処理において、訂正データの移動先には、隣のフラッシュメモリに存在する空きブロックBLhが選ばれる。また、ECCエラーを出したページPGkのデータだけでなく、同じブロックBLj内の他の全てのページPG0～PGK-1、PGK+1～PG15のデータも該空きブロックBLh内の各対応ページへそれぞれ移し替えられる。

この1ブロック分のデータの移し替えに際して、コントローラ10は、先ず移動元のブロックBLjから1ページ分のデータを上記のような読出しサイクル（図6）で読み出して、フラッシュインタフェース部34内のバッファメモリに一旦保持し、次いで上記のような書込みサイクル（図5）で空きブロックBLhの対応ページへ書き込む。このような1ページ分のデータ移し替え操作を全ページPG0～PG15について繰り返し、ECCエラーを出したページPGkのデータについては移し替え途中のフラッシュインタフェース部34内で訂正を施す。

上記のように、本実施例のフラッシュメモリカードは、カード自体にライトプロテクト機能を設けたので、ホストコンピュータ14からの不所望な書込み要求に対してカード内の大事な記憶データを確実に保護することができる。

図13ないし14Bに、本実施例のフラッシュメモリカードに好適な保持具の

例を示す。図13に示すフラッシュメモリカードでは、カード本体12の端部、好ましくはカード端子ピン92とは反対側のカード端部に鎖紐94が接続され、この鎖紐94の先端に係止部材、たとえばクリップ96が取り付けられる。たとえばシャツの胸ポケットに本カードを入れておくときは、ポケットの上縁部にクリップ96に係止しておくことで、本カードが不所望にポケットの外に落ちてでも、紛失するおそれはない。

図14A、14Bに示す例は、カード本体12に内蔵したリール98に細紐100を巻取可能に接続し（図14A）、細紐100の先端に係止部材、たとえばクリップ96を取り付けたフラッシュメモリカードである。カード本体12の外側面には、リール98に連結された細紐巻取り用のつまみ102を回転可能に取り付けてよい（図14B）。クリップ96は、巻取り状態でカード本体12に一部収納されるか（図14B）、あるいは収納されないまでも邪魔にならないようカード12と面一になるような厚みに形成されてよい。

上記した実施例のフラッシュメモリカードは、一般にPCMCIA準拠のPCカードとして提供される。しかし、本発明は、任意の形式のフラッシュメモリカードに適用可能であり、たとえばSSFDC（Solid State Floppy Disk Card）を着脱可能に搭載するフラッシュメモリカードも適用可能である。

SSFDCは、1チップのフラッシュメモリFMを内蔵する小型のカード単体である。上記実施例のコントローラ10に相当するコントローラを内蔵し、かつPCMCIA準拠のカードスロットに挿入（接続）可能なアダプタカードを用意し、このアダプタカードにSSFDCを着脱可能に装着することで、PCMCIA準拠のフラッシュメモリカードを得ることができる。

例えば、図15Aに示すようにフラッシュメモリカード112はホストコンピュータ114に装着されるアダプタ120とこのアダプタ120に着脱可能なフラッシュメモリユニット121とにより構成される。アダプタ120には、ホストコンピュータ114に接続され、フラッシュメモリの制御を行うコントローラ110が設けられる。フラッシュメモリユニット121には、CIS情報が格納された複数のフラッシュメモリFM0～FMnが内蔵されている。

図15Bはコントローラを持たないアダプタ130とこのアダプタに着脱可能なフラッシュメモリユニット121とで構成される。

上記のようなSSFDCの用途として、たとえばデジタルスチルカメラの外部記憶媒体が考えられる。デジタルスチルカメラにSSFDCをフィルム代わりに装填し、そのカメラで撮った電子写真（画像情報）をSSFDCに記録する。記録済みのSSFDCをカメラから取り出して、これを上記のようなアダプタ130に装着してPCMCIA準拠のフラッシュメモリカードとし、このフラッシュメモリカードをホスト（パーソナルコンピュータ）14のカードスロットに挿入し、ホストコンピュータ14の画面上で電子写真を再生したり、レタッチソフト等を用いて電子写真に所望の加工を施したり、所望の付記情報等を追加することが可能である。

このようなSSFDCの用途においては、デジタルスチルカメラとホストコンピュータ14との間で互換性が要求される。本発明によれば、上記実施例と同様の要領でSSFDCにカメラ仕様のCIS情報を書き込んでおくことができる。かかるSSFDCを装着または搭載したフラッシュメモリカードをホストコンピュータ14のカードスロットに挿入すると、上記実施例と同様の仕方でホストコンピュータ14はフラッシュメモリカードから該SSFDCのCIS情報を検索または参照することができる。ホストコンピュータ14は、このCIS情報を基に、該SSFDCとの互換性やこのSSFDCに電子写真を記録したデジタルスチルカメラとの互換性を初期段階でチェックすることができる。

以上説明したように、本発明のフラッシュメモリカードによれば、カード属性情報をカード上のフラッシュメモリに記憶するようにしたので、部品点数やコストの増大を招くことなくカード属性情報を任意に書き換えることが可能である。また、カード自体にライトプロテクト機能を設けたので、ホスト側からの不所望な書込み要求に対して、カード内の記憶データを安全に保護することができる。さらに、フラッシュメモリ本体がアダプタに対して着脱可能なフラッシュメモリカードでも、装着されるフラッシュメモリ本体に応じてCIS情報を書き換える必要がない。

【図1】

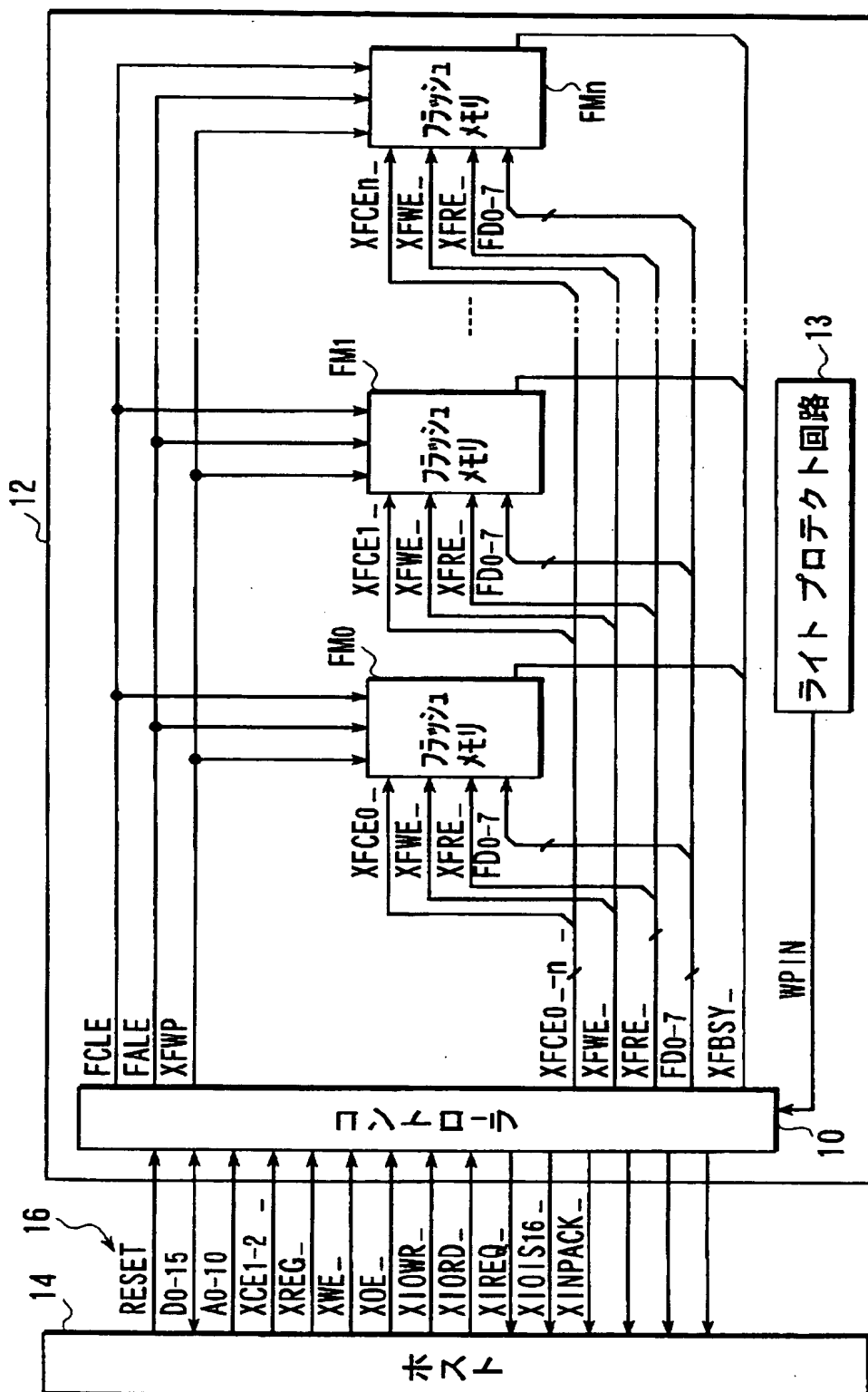
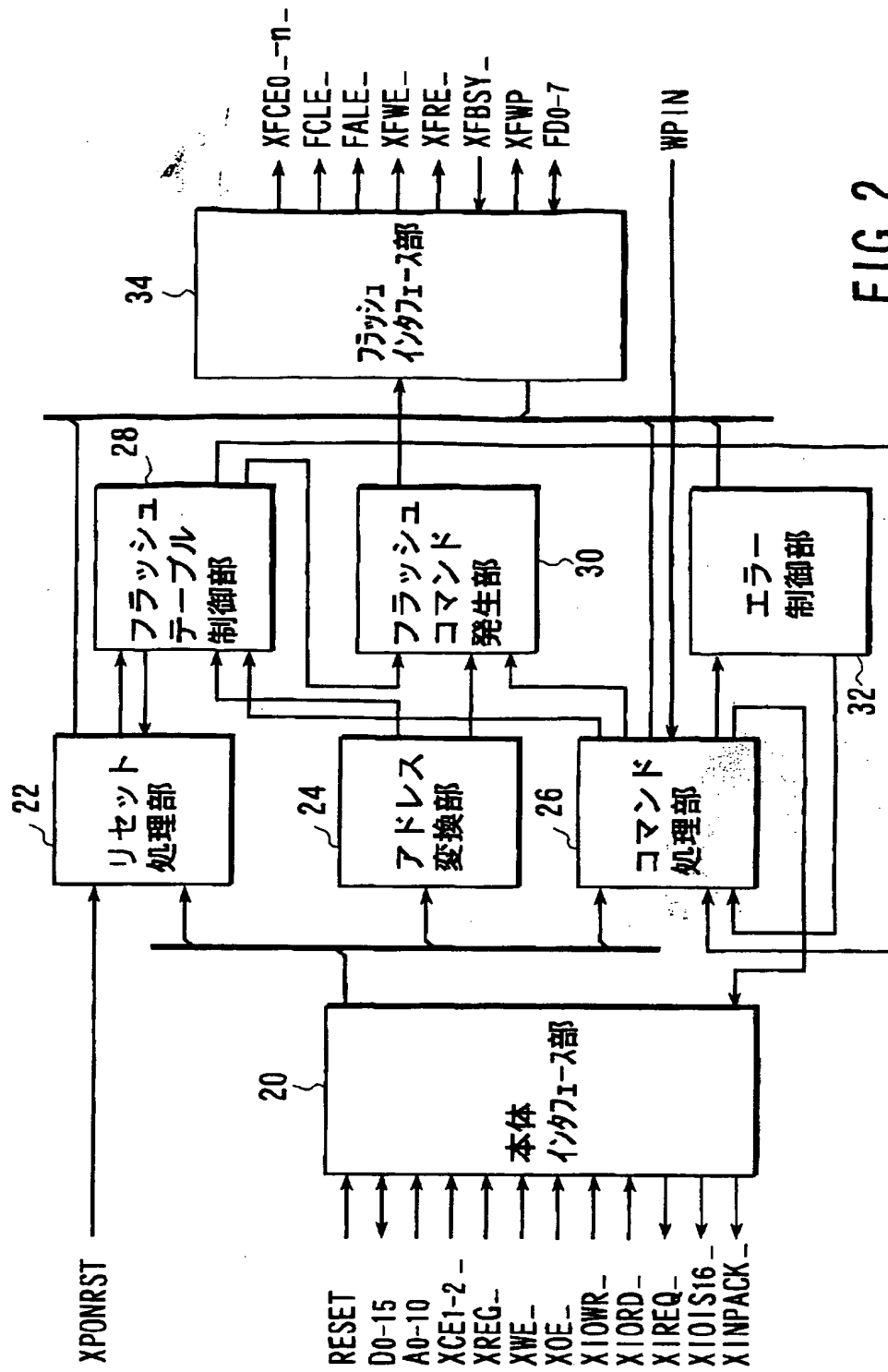


FIG. 1

FIG. 2



【図3】

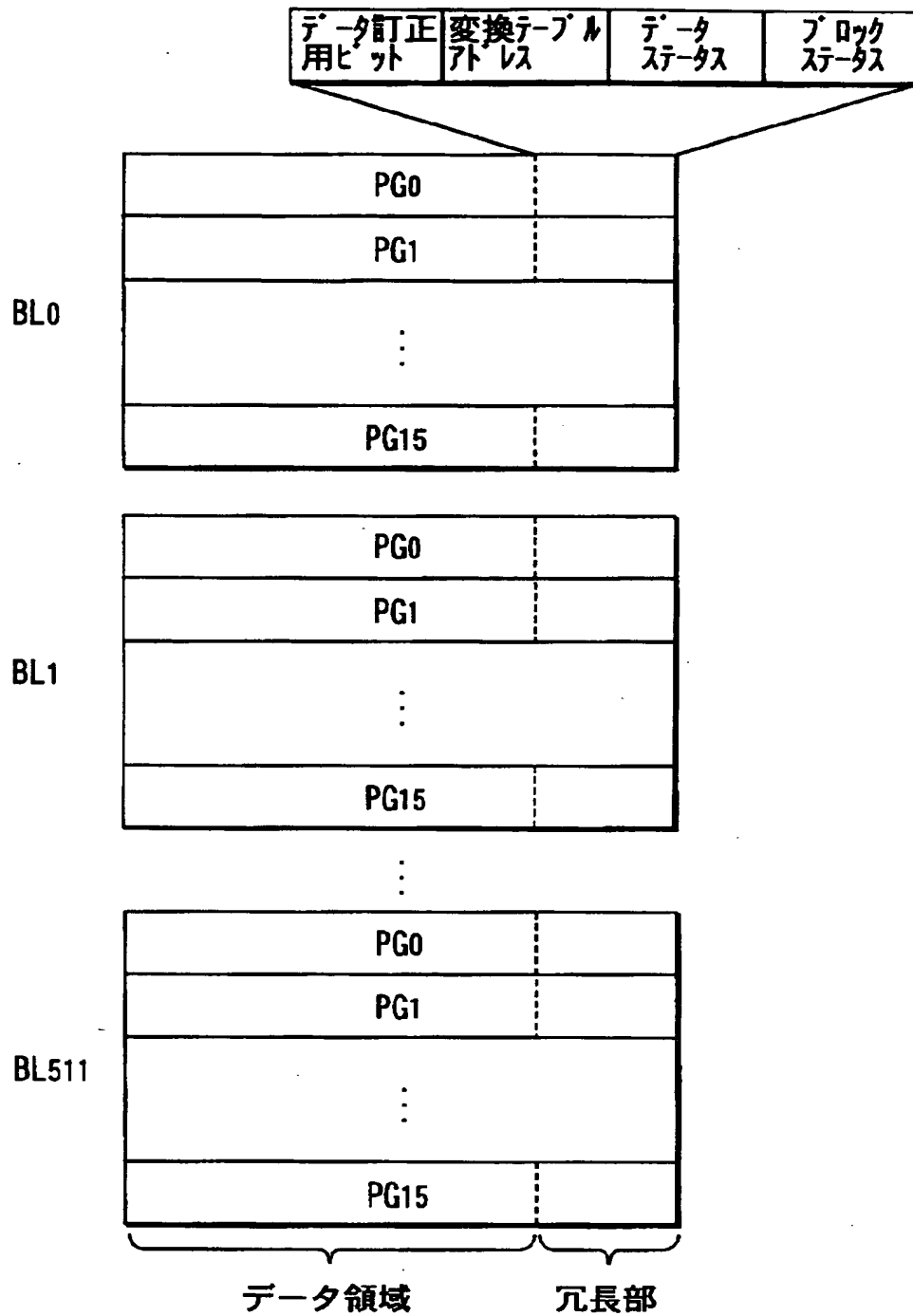


FIG. 3

【図4】

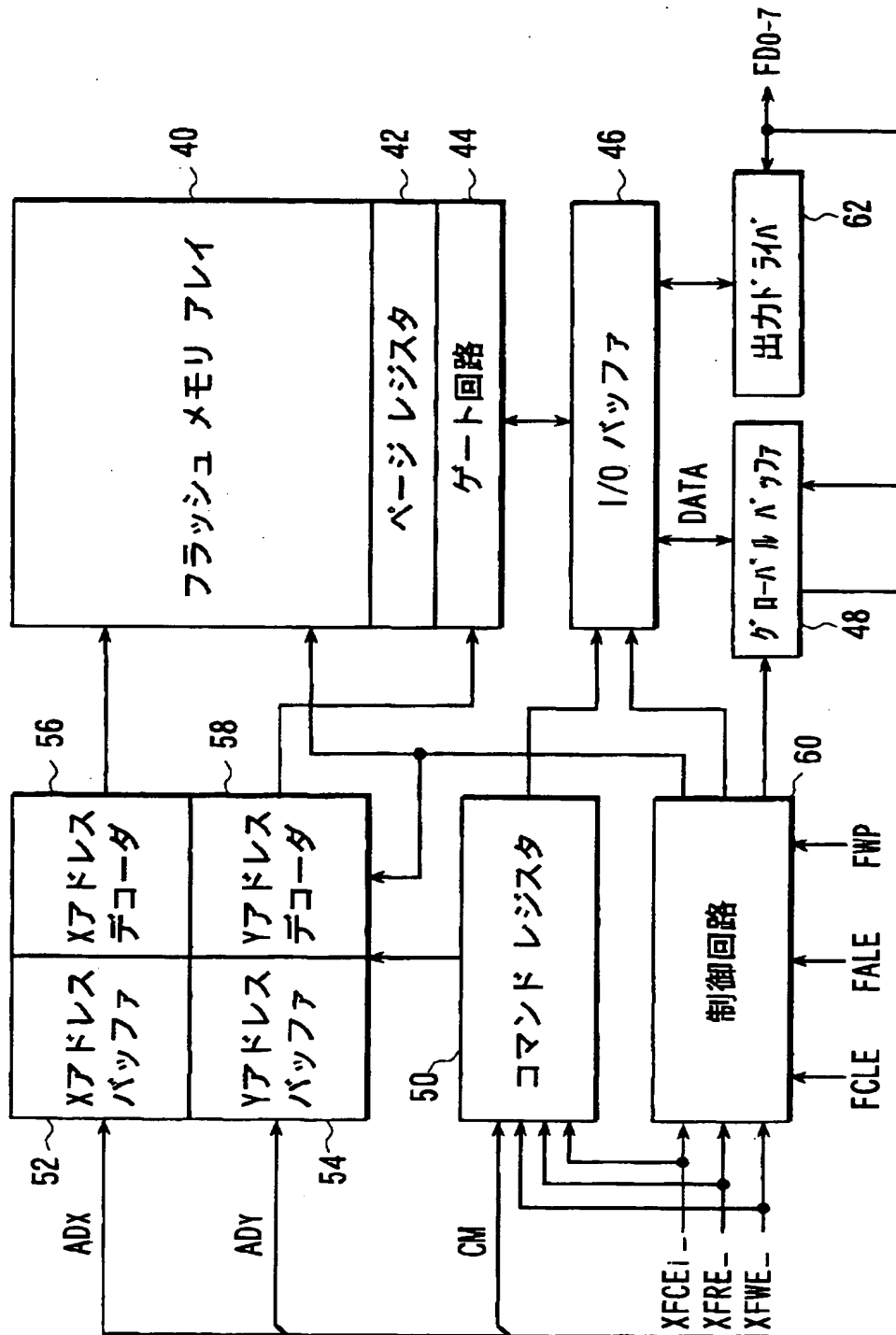


FIG. 4

【図5】

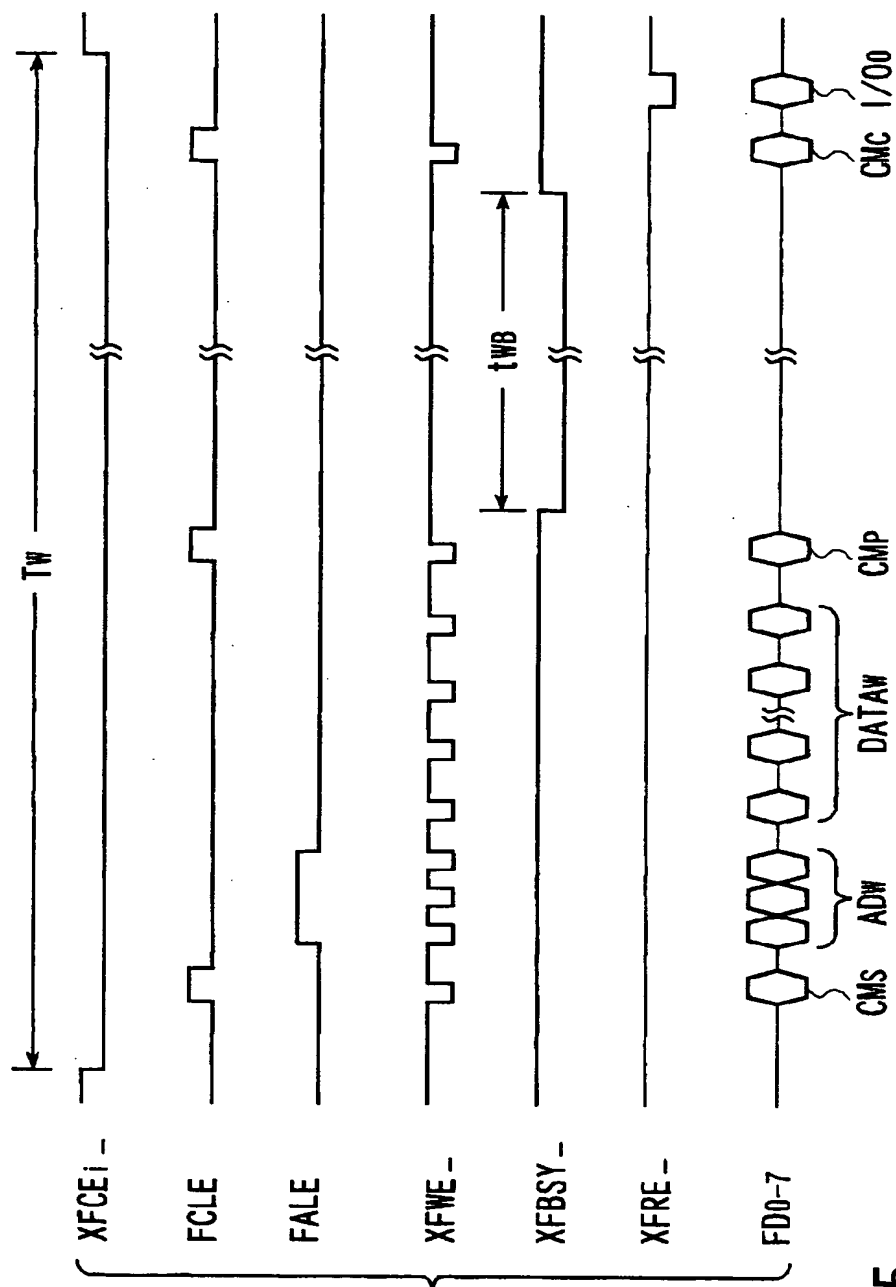


FIG. 5

【図6】

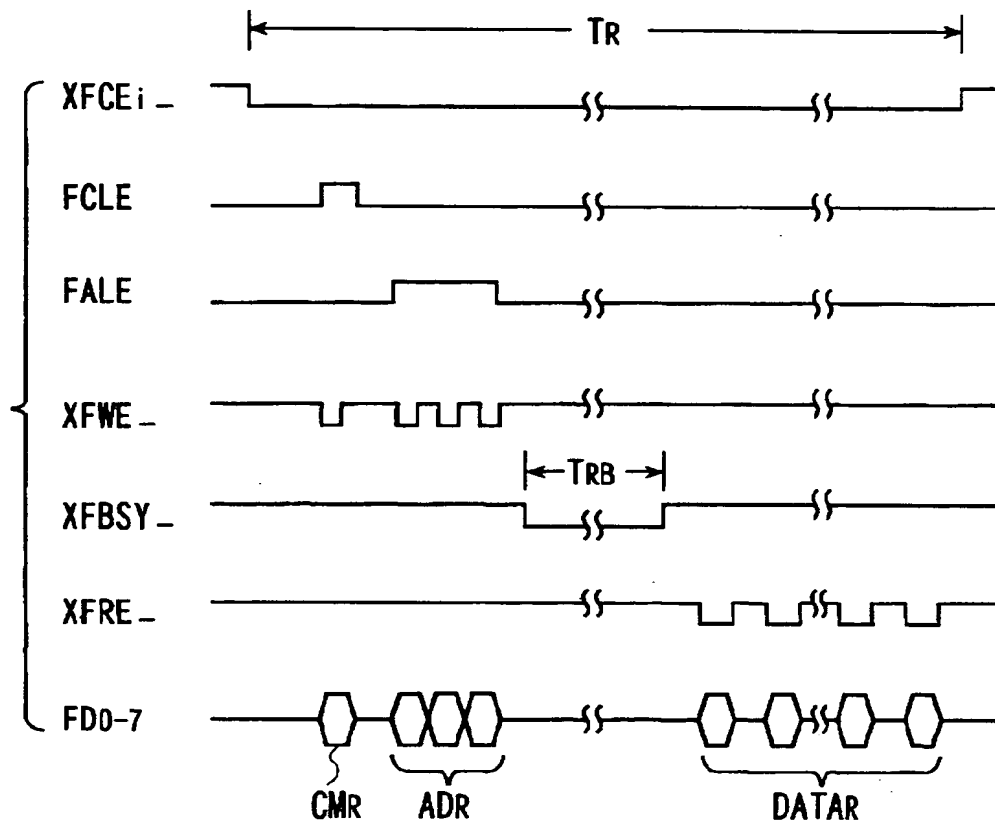


FIG. 6

【図7】

(CIS情報)

ADDR	DATA	内 容
00	01h	タプルID (デバイス情報タプル)
02	03h	次のタプルへのポインタ
04	D9h	種別 : I/O 速度 : 250 ns
06	01h	デバイスサイズ : 2 Kbyte
08	FFh	デバイス情報タプルの終わり
0A	18h	タプルID (JEDEC デバイス情報)
0C	02h	次のタプルへのポインタ
0E	DFh	JEDEC メーカーID
10	01h	JEDEC デバイスID (VPP不要)
12	20h	タプルID (マニファクチャ情報)
14	04h	次のタプルへのポインタ
⋮		
B2	20h	製品メーカー情報 “ ”
B4	20h	製品メーカー情報 “ ”
B6	20h	製品メーカー情報 “ ”
B8	20h	製品メーカー情報 “ ”
BA	20h	製品メーカー情報 “ ”
BC	20h	製品メーカー情報 “ ”
BE	20h	製品メーカー情報 “ ”
C0	00h	製品メーカー情報の終わり
C2	20h	製品名情報 “ ”
C4	20h	製品名情報 “ ”
C6	20h	製品名情報 “ ”
C8	20h	製品名情報 “ ”
CA	00h	製品名情報の終わり
CC	30h	製品バージョン情報 “0”
CE	2Eh	製品バージョン情報 “ ”
D0	30h	製品バージョン情報 “0”
D2	00h	製品バージョン情報の終わり
D4	FFh	製品情報タプルの終わり
D6	14h	ノーリンクタプルID
D8	00h	次のタプルへのポインタ
DA	FFh	連鎖終了タプル
⋮		

FIG. 7

【図8】

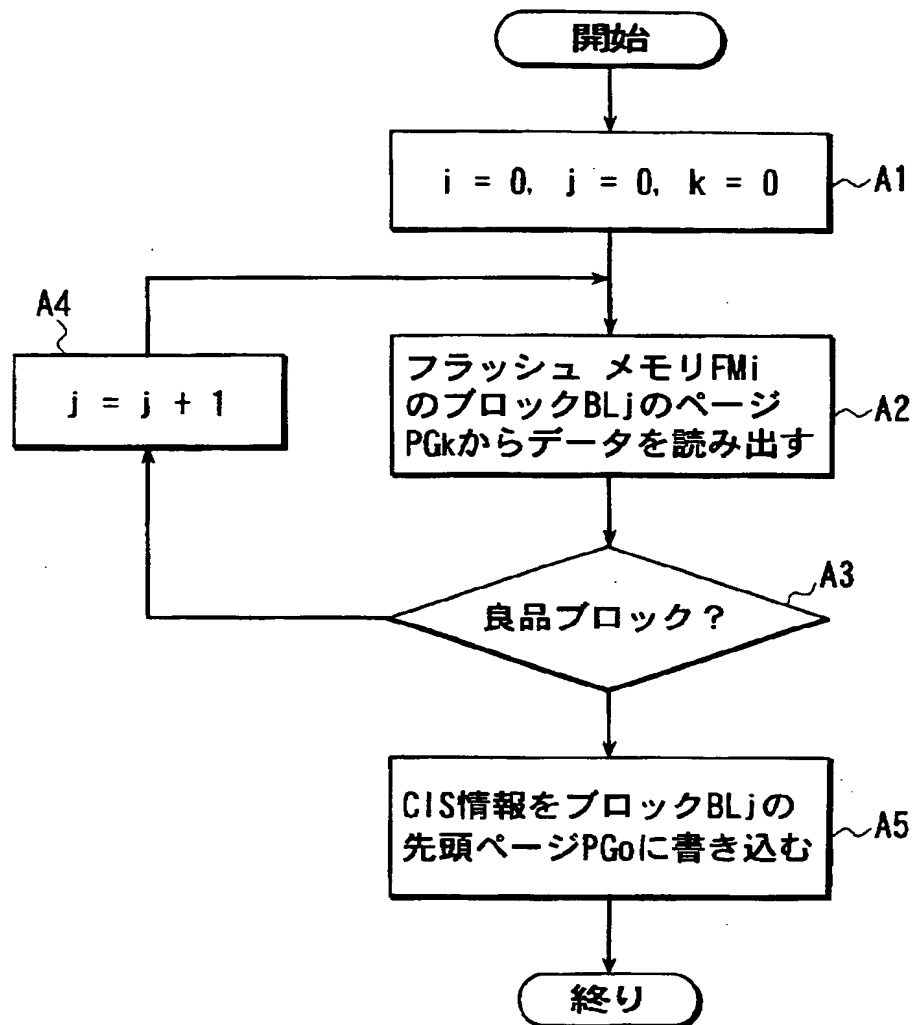


FIG. 8

【図10】

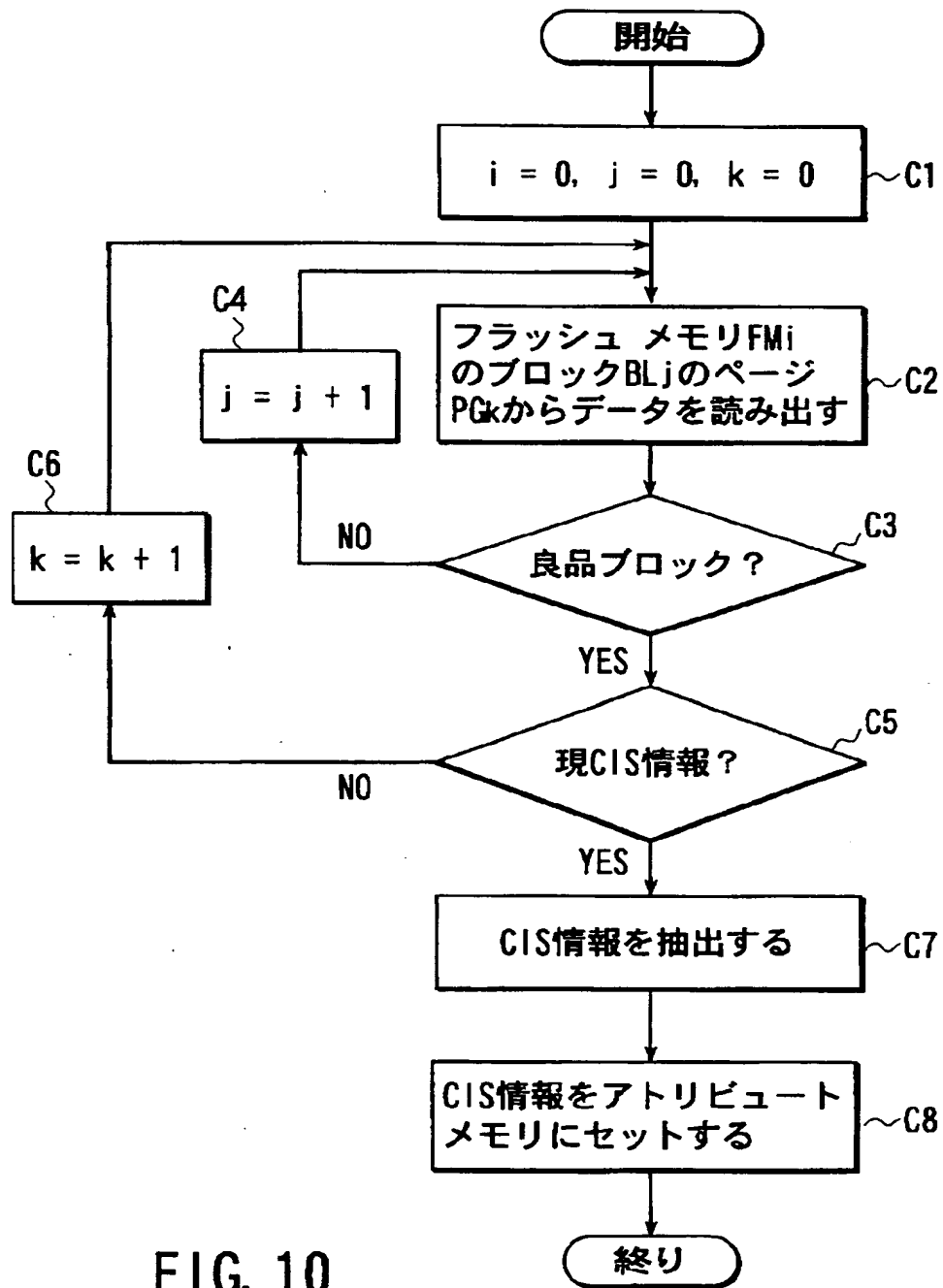


FIG. 10

【図11】

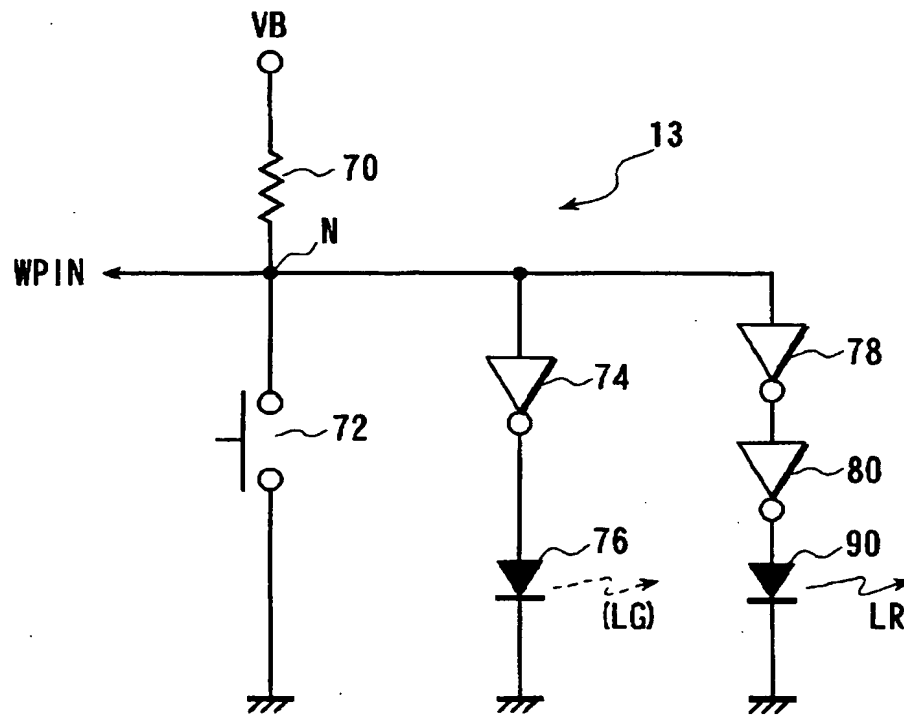


FIG. 11

【図12】

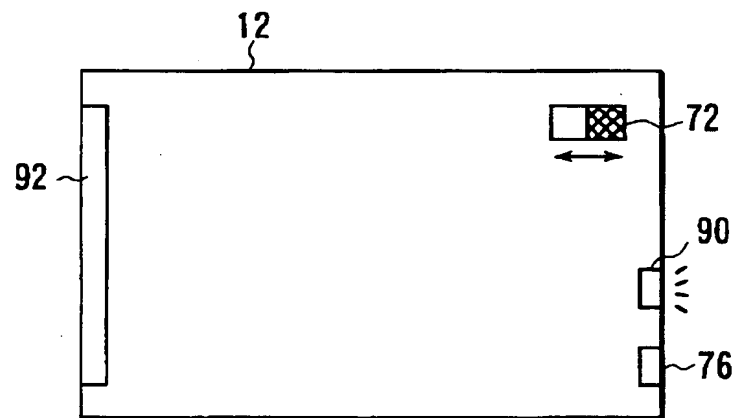


FIG. 12

【図13】

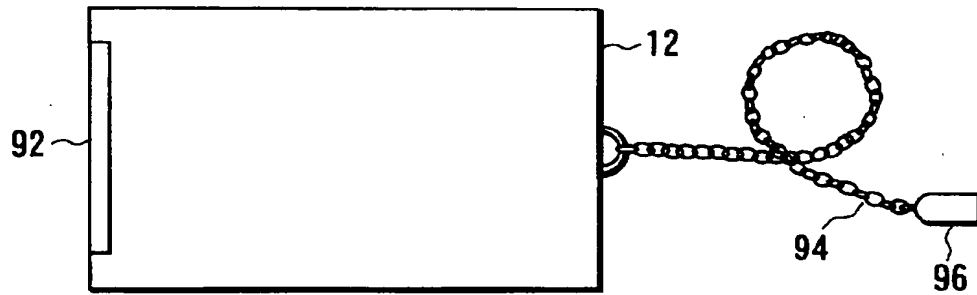


FIG. 13

【図14】

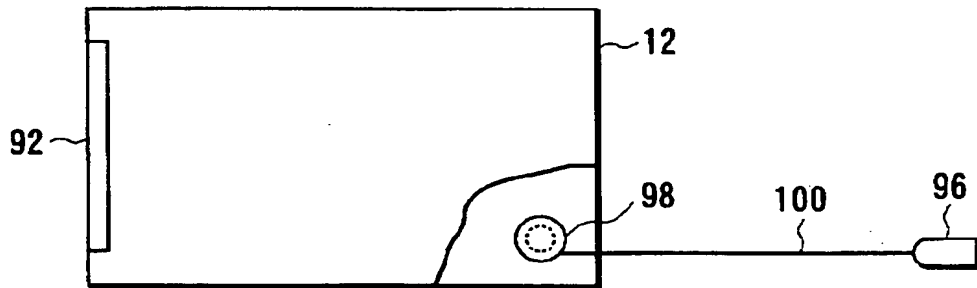


FIG. 14A

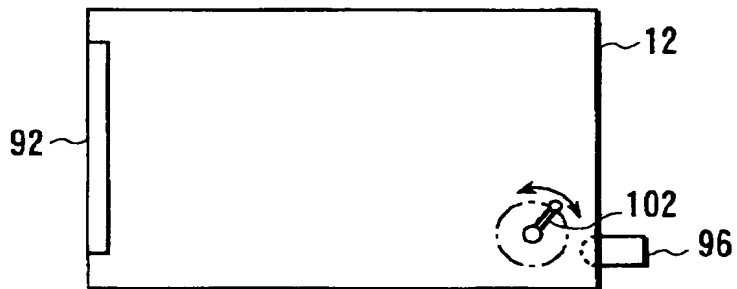


FIG. 14B

【図15】

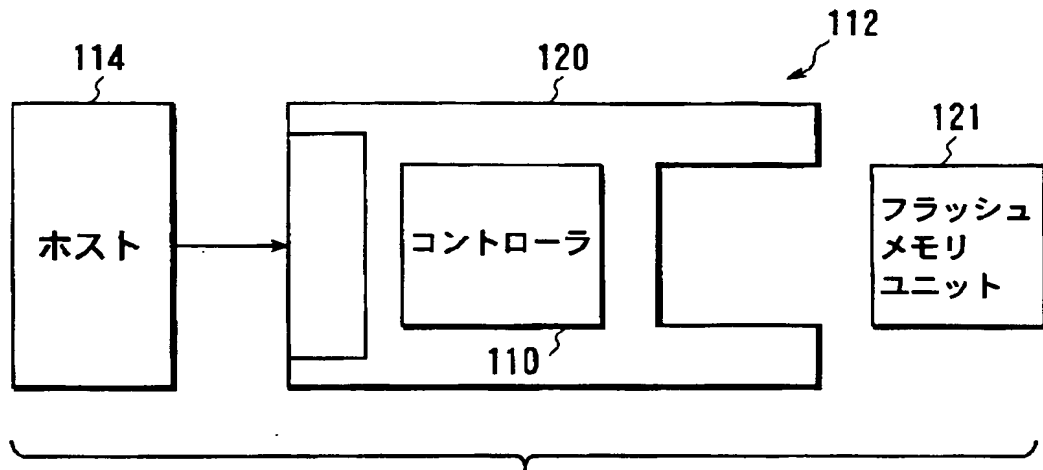


FIG. 15A

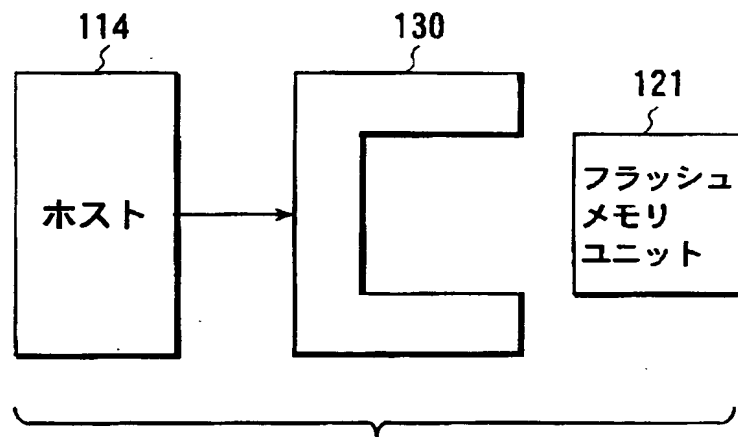


FIG. 15B

【手続補正書】特許法第184条の8第1項

【提出日】平成10年5月27日(1998. 5. 27)

【補正内容】

請求の範囲

1. (補正後) 少なくとも1個のフラッシュメモリと、

ホストコンピュータに接続されるインタフェースを有し、前記ホストコンピュータに提示すべきカード属性情報を前記フラッシュメモリの所定の記憶位置に格納するコントローラと、

で構成され、前記コントローラは、前記カード属性情報の少なくともいくらかが変化される毎に新たな属性情報を格納し、旧属性情報の参照を禁止するため前記旧属性情報に対応する先頭ページにエラーフラグを設定する、フラッシュメモリカード。

2. 前記カード属性情報と同一の情報が前記フラッシュメモリの記憶位置に記憶され、前記カード属性情報を格納すべき記憶位置とは異なる前記フラッシュメモリの記憶位置に格納される請求項1に記載のフラッシュメモリカード。

3. 前記フラッシュメモリは所定数のブロックに分割された記憶領域を有し、前記カード属性情報が格納されるべき前記フラッシュメモリ内でアドレス順位の最も高いもしくは最も低い正常なブロックに格納される請求項1に記載のフラッシュメモリカード。

4. 前記フラッシュメモリは所定数のブロックに分割された記憶領域を有し、前記ブロックの各々は前記ホストコンピュータに提示すべき先頭ページ領域を有する複数のページ領域を有し、前記ページ領域の各々は前記ホストコンピュータからのデータを格納するデータ領域と制御情報を格納する冗長部とを有するクレーム1のフラッシュメモリカード。

5. 前記冗長部は、カードのコンフィギュレーションやカードがアクセスされるアクセス方式を示すC I S 情報を前記カード属性情報として格納する請求項4に記載のフラッシュメモリカード。

6. 前記冗長部は、メモリアドレス長、I/Oアドレス範囲および割り込み条件を示す情報をアクセス方式を示す前記C I S 情報として格納する請求項5に記

載のフラッシュメモリカード。

7. 前記コントローラは、同一のカード属性情報を前記カード属性情報を格納すべき前記所定のフラッシュメモリ内の異なる記憶位置に格納する請求項4に記載

載のフラッシュメモリカード。

8. (削除)

9. 前記コントローラは、同一のカード属性情報が前記カード属性情報を格納すべき前記所定のフラッシュメモリ内の異なる記憶位置に格納する請求項1記載のフラッシュメモリカード。

10. (補正後) 所定数のブロックに分割される記憶領域を有し、各ブロックは前記ホストコンピュータに提示されるべきカード属性情報を記憶する先頭ページを含む複数のページ領域に分割され、各ページ領域は前記ホストコンピュータからのデータを格納するデータ領域と制御情報を格納する冗長部を有する、少なくとも1つのフラッシュメモリと、

前記フラッシュメモリの所定記憶位置に前記ホストコンピュータに提示すべきカード属性情報を格納するためにホストコンピュータに接続されるインターフェースを有し、複数のブロックの先頭ブロックから先頭ページを選択し、前記先頭ブロックの冗長部のブロック良否フラグを参照してブロックの良否を判定し、前記フラッシュメモリ内で最も高いまたは最も低いアドレス順位を持つ良品ブロックを抽出し、この抽出した良品ブロックの先頭ページに前記カード属性情報を書き込む一連の処理を行うコントローラと、

で構成されるフラッシュメモリカード。

11. 前記コントローラは、カード属性情報として、カードのコンフィギュレーションおよびカードがアクセスされるアクセス方式を示すCIS情報を前記冗長部に格納する機能を有する請求項10に記載のフラッシュメモリカード。

12. 前記コントローラは、アクセス方式を示すCIS情報としてメモリアドレス長、I/Oアドレス範囲および割り込み条件を示す情報を前記冗長部に格納する請求項11に記載のフラッシュメモリカード。

13. 前記コントローラは、前記カード属性情報と同一の情報を前記カード属性

情報が格納されるべき前記フラッシュメモリの記憶位置とは異なる記憶位置に格納する機能を有する請求項4に記載のフラッシュメモリカード。

14. 前記コントローラは、前記カード属性情報の少なくともいくつかが変更される毎に次のアドレスのページに新たな属性情報を格納する機能を有する請求項

10に記載のフラッシュメモリカード。

15. 少なくとも1個のフラッシュメモリを収納するフラッシュメモリユニットと、前記ホストコンピュータに接続される前記コントローラを有し、前記フラッシュメモリユニットに着脱可能なアダプタとにより構成される請求項1に記載のフラッシュメモリカード。

16. 前記少なくとも1個のフラッシュメモリを収納するフラッシュメモリユニットと、前記ホストコンピュータに接続され、前記フラッシュメモリユニットに着脱可能なアダプタとにより構成される請求項1に記載のフラッシュメモリカード。

17. (削除)

18. (削除)

19. 前記カード属性情報が変化される毎に前記コントローラは前記旧カード属性情報に対応する記録領域に無効フラグを立てる請求項1に記載のフラッシュメモリ。

20. 前記カード属性情報が変化される毎に前記コントローラは前記旧カード属性情報に対応する記録領域に無効フラグを立てる請求項10に記載のフラッシュメモリ。

21. 少なくとも1個のフラッシュメモリを収納するフラッシュメモリユニットと、前記ホストコンピュータに接続される前記コントローラを有し、前記フラッシュメモリユニットに着脱可能なアダプタとにより構成される請求項10に記載のフラッシュメモリカード。

22. 前記少なくとも1個のフラッシュメモリを収納するフラッシュメモリユニットと、前記ホストコンピュータに接続され、前記フラッシュメモリユニットに着脱可能なアダプタとにより構成される請求項10に記載のフラッシュメモリカ

一下。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

 Inter- national Application No.
 PCT/JP 97/02464

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 6	G06F11/00	G11C15/06
G06F1/00	G06F12/14	G06F13/16
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 6 G06F G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,P	US 5 603 001 A (SUKEGAWA HIROSHI ET AL) 11 February 1997	1,3-6
Y,P	see column 14, line 52 - line 63 see column 18, line 47 - column 19, line 7 see column 24, line 12 - line 64; figures 2,3,6A,13	2,7,13
X	& JP 07 302 176 A (TOSHIBA CORP) 14 November 1995	1,3-6
Y		2,7,13
X	& JP 07 302 175 A (TOSHIBA CORP) 14 November 1995	1,3-6
Y		2,7,13
Y	EP 0 533 688 A (IBM) 24 March 1993 see abstract	2,7,13
	--- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
6 October 1997		27. 01. 98
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentkan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2060, Tx. 31 631 600 n1 Fax: (+31-70) 340-3016		Authorized officer HERREMAN, G

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP 97/02464

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 016, no. 117 (P-1328), 24 March 1992 & JP 03 286347 A (FUJITSU LTD), 17 December 1991, see abstract	1,3,4
A	--- US 5 367 484 A (ALEXANDER SAMUEL E ET AL) 22 November 1994 see abstract -----	2,7,13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP 97/02464

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. Claims 1-14: Flash memory card with card attribute information storage arrangement.
2. Claims 15-16: Construction of a flash memory card.
3. Claims 17-18: Flash memory card with write protect means

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-14

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/JP 97/02464

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5603001 A	11-02-97	JP 7302175 A	14-11-95
		JP 7302176 A	14-11-95
EP 0533608 A	24-03-93	JP 5216771 A	27-08-93
US 5367484 A	22-11-94	NONE	